

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

1. It is Indicating Equipment Which Decodes and Displays Enciphered Video Pixel Data. Array of Pixel Cel of P Train of One Line Which Displays Said Decoded Video Pixel Data as a Frame, The memory device of pA of one line which memorizes the digital code of the decoded video data with which it is the memory device of the p train of one line, and each memory device expresses the brightness of each pixel cel during a frame period in relation to each pixel cel, The register which memorizes a part of frame [ at least ] of the digital code of said enciphered video pixel data not in a train and the sequential sequence of a line but in enciphered sequence, The driver circuit which supplies the digital code which started A of the array of said memory device, and a line, and was memorized to these memory devices at said register, Said decode key is supplied to said register so that a 1 decode key may be received, Rhine of a digital code where the 2 aforementioned driver circuit was decoded from said register may be received and the train of the array of said memory device may be started. 3) Display with which said driver circuit is equipped not with sequence but with the decoder which supplies said decode key to said driver circuit so that one line may be started at once for the array of a memory device based on a decode key.
2. Display which used display as liquid crystal display in display according to claim 1.
3. Display according to claim 1 further equipped with timing circuit which supplies timing pulse to said driver circuit, and starts line of array of memory device, and A.
4. Indicating equipment which decodes digital code from register before said digital code itself is enciphered for every pixel and decode key is supplied to driver circuit in indicating equipment according to claim 1.
5. In an indicating equipment according to claim 1, said register is constituted so that Rhine of a digital code may be decoded based on a decode key. Indicating equipment characterized by constituting said driver circuit so that the digital code decoded from the register may be received.
6. Indicating equipment with which timing of driver circuit which starts said line and train is given by timing circuit in indicating equipment according to claim 5.
7. It is the display according to claim 1 characterized by receiving each frame of the enciphered video data as a division part defined beforehand, and not displaying the line in each division part in sequence, but displaying a division part in sequence.
8. Set to a display according to claim 7, and it is not sequence but the display to display about said division part.
9. It is not sequence but the indicating equipment to display at the time amount sequence of the frame pair frame which makes temporary artifact min for said division part in an indicating equipment according to claim 8.
10. different time order from the sequence displayed on a frame with the 1st division part by the following frame in a display according to claim 9 -- the occasion -- the display which it is displayed and the timing during the display of the 1st division part of each frame is not displacing sharply from a frame period.
11. The television set which equips any 1 term to claims 1-6 with the indicating equipment of a

publication.

12. In Decoding Enciphered Video Pixel Data and Displaying Process Which Receives Enciphered Video Pixel Data Containing Digital Code about Each Pixel Which Should be Decoded by Array of Pixel Cel of P Train of One Line as One Frame, and Should be Displayed on it, The process which memorizes a part of digital code [ at least ] of said enciphered video pixel data to a register, and memorizes the enciphered video data to a register not in a train or the sequence of a line but in enciphered sequence, The process which decodes the enciphered video data based on a decode key, and supplies the decoded video data to a driver circuit, Each memory device is connected with each pixel cel in the video pixel data decoded from the driver circuit. It has the process supplied to the array of a memory device which has the memory device of p train of one line which memorizes the digital code of the decoded video pixel data which express the brightness of each pixel cel during a frame period. The process which supplies said decoded video data supplies the digital code which started A and was classified from the driver circuit in the array of said memory device to a memory device. How to decode not sequence but the enciphered video pixel data which start one line at once, and display the array of a memory device based on a decode key.

13. In Decoding Enciphered Video Pixel Data and Displaying Process Which Receives Enciphered Video Data Which Should be Decoded by Array of Pixel Cel of P Train of One Line, and Should be Displayed on it, The process which memorizes one line of one frame of digital pixel data to a register in n enciphered sequence instead of train sequential sequence, The process which decodes the enciphered video data based on a decode key, and supplies the decoded video data to a driver circuit, Each memory device is connected with each pixel cel in the video pixel data decoded from the driver circuit. It has the process supplied to the array of a memory device which has the memory device of pA of one line which memorizes the digital code of the decoded video pixel data which express the brightness of each pixel cel during a frame period. The process which supplies said decoded video data starts the train of the array of said memory device using the digital code classified from the driver circuit. How to decode and display the enciphered video pixel data which start one line in order at once about each Rhine of a digital code.

14. Face Enciphering Video Pixel Data Displayed on LCD. Process Which Divides Video Pixel Data into Division Part of Plurality in which Each Has Line of Two or More Pixel Data Defined Beforehand, Process which enciphers said line for the sequence of a display of the line in a division part not the time amount sequence of a division part but by changing How to encipher the video pixel data displayed on LCD equipped with the process which supplies the enciphered video pixel data to LCD.

15. The approach changed so that it may be displayed by not sequence but LCD in an approach according to claim 14 based on the time order foreword to which the time order foreword of said division part makes temporary artifact min.

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

Access video signal controlled without freeing a signal The approach of supplying, and field of equipment 1. invention This invention relates to the approach at the scrambling equipment and the encryption equipment list which prevent that a signal is generally freed in an indicating equipment, especially an indicating equipment.

2. Explanation of conventional technique In order to prevent the unapproved copy of video, the provider scrambles, namely, it is enciphered and video is protected from it being unauthorized and seeing. The vocabulary "scrambling" means changing an analog signal so that it may not be displayed in the usual condition of generally not performing suitable decode processing. Although the example of a scrambling technique is not limited, it includes synchronous control, rotation of an active line, and Rhine shuffling. Since the processing which changes a digital sequence by multiplexing by the false random sequence is expressed, generally the vocabulary "encryption" is used. A "key" is required in order to reproduce an original signal. Here, Source S (left-hand side) is scanned in order of a raster (RSS), and gives the time order foreword of illustration. Source S (for example, camera) is an MPEG encoder (MPEGENC) about an RGB code.

It is alike, and supplies and this encoder is combined with an MPEG transmitter (MPEGTR).

An indicating equipment D (right-hand side) receives the signal of the MPEG receiver (MPEGREC) combined with the MPEG decoder (MPEGDEC). An MPEG decoder supplies an RGB code to Display D by the same time amount sequential (T), and displays information in order of the same raster (RSS). The example of this technique is Data Encrytion Standard (DES).

An example of the typical display system which is not enciphered is shown in drawing 1. An example of the typical MPEG display system to encipher is shown in drawing 2, and the sequence "the BLCF train DGIHEKJ" enciphered in this system occurs. Here, Source S (left-hand side) is scanned in order of a raster (RSS), and the time order foreword of illustration is given. Source S (for example, camera) supplies an RGB code to an encryption unit (ENCR), and this unit supplies an RGB code at a time order foreword (T) by the gestalt enciphered by the MPEG encoder (MPEGENC). An MPEG encoder is an MPEG transmitter (MPEGTR).

It is alike and joins together.

An MPEG receiver (MPEGREC) receives the signal from an MPEG transmitter, and combines an MPEG decoder (MPEGDEC) with this MPEG receiver. The RGB code is enciphered by time amount sequential (T).

A decode unit (DECR) is combined with an MPEG decoder.

A decode unit supplies an RGB code to the display (D) of a receiver (R) at an original time order foreword (DECRRCT).

The video signal is scrambled or enciphered by the mode which cannot be used when there is no suitable authorization. On the other hand, if authorization is given to a consumer's house, it sets to the "video outlet" jack of a cable converter box or a receiver, and it will be scramble-canceled, a video signal will be decoded, therefore it will free (refer to drawing 3). In this drawing, source video (SV) is supplied to an encoder (ENC), and the encryption unit (ENCR) is combined with this encoder. An encryption unit supplies the enciphered signal to a transmitter (TR). The receiver input section is combined with the demodulator (DEM) through the send

channel (TRCHO is a signal supplied to the receiver input section (RI)). After a recovery, this signal is decoded in a decode unit (DECR), and is supplied to an output port (OP). As mentioned above, a video signal (VS) is freed in this phase. An output port is a monitor (M) which has a display (D).

And it is combined with a videocassette recorder (VCR). The display of today's [ many ] form is used. Generally there is a display according to an individual like a well-known CRT device (CRT) and a digital optical modulator or a deformable mirror space optical modulator (DMD), a liquid crystal display (LCD), and a plasma display. Each of these displays has a problem about the user who has not obtained authorization recording video freely from the output of the "video outlet" jack of a cable converter box or a television set. In addition, actuation of LCD will be explained in order to give explanation easy.

A liquid crystal display contains the picture element ("pixel") of the liquid crystal which \*\*\*\*(ed) in the line and the train. In a LCD display system, an indicating equipment is illuminated by "line" bias, i.e., line bias, by the matrix address skim generally used. That is, a certain specified line is illuminated, line another next is illuminated, and the whole frame is formed. For example, the effective pixel of 480Ax480 line exists in the specific Philips LCD display. A train driver is required in order to supply a signal to 480 pixels required about a predetermined line. In this case, sequential starting of the 480 lines is carried out, and one image (or frame) is generated. Drawing 4 shows the block diagram of a LCD indicating equipment. With reference to drawing 4, this indicating equipment is constituted so that video like a television picture may be displayed, and it contains the active-matrix liquid crystal color display panel 10. A panel 10 is equipped with the transparent insulating buttress plate which two pieces, for example, glass, estranged. The switching element and memory device by which it was twisted among these plates, the pneumatic liquid crystal has been arranged, and the panel 10 has been further arranged a line and in the shape of A the liquid crystal pixel of a large number relevant to (for example, a capacitor) — having — these switching devices and a memory device — the crossover address — the address is carried out through the 1st and 2nd groups of a conductor — having — each pixel — the address of each class — it connects with the conductor, respectively. the line address to which the 1st group extends in a line writing direction — it has a conductor. the conductor of the 2nd group — the direction of A — extending — henceforth — the train address — a conductor will be called. each train address — the pixel of each line is connected to a conductor, respectively. a known active-matrix liquid crystal display — setting — a line address — a conductor acts as a scan electrode and is controlled by the line driver circuit 15 equipped with a shift register circuit — having — a line driver circuit — during each line address period — each line — sequential supply of the selection signal is carried out at a conductor. synchronizing with the selection signal perform by timing-cum-the control circuit 16, the required display effectiveness generate the data ( video ) signal acquire by sample TV Rhine by the direct-concurrent conversion from a pixel line as it be supply and scan by the conductor the A address from A driver circuit linked to the output section of the video processing circuit 18. Therefore, the video information on single Rhine is supplied to the A driver circuit 17, and video information is supplied to this line according to the line by which the address was carried out in the line driver circuit 15. Each display effectiveness that the address of the one line is carried out at a time is combined, the whole image of the one field is constituted, and the address of the pixel is again carried out in the sequential field. A A signal will be freed by the sequential loading information supply to this array 10, and an unapproved copy will break easily.

The purpose of this invention is to prevent that a signal is freed in a LCD display.

Another purpose of this invention is to prevent that a signal is freed, without changing a LCD display sharply.

Still more nearly another purpose of this invention is to prevent that make temporary artifact into min and a signal is freed.

It is based on recognition that it is not necessary to supply pixel data in such sequence which followed in order when other purposes supplied pixel data to a memory device by reaching. Instead, data are supplied to a memory device in the sequence enciphered based on the cryptographic key.

These purposes encipher the pixel data in one line or one line of an indicating equipment, arrange them to the register or other stores of A driver circuit, decode these pixel data, and are attained by the 1st example by this invention which arranges the data with which a register or other stores were decoded based on the decode key in the suitable location of A driver circuit.

In the 2nd example of this invention, the line sequence or the time order foreword of a line which should be displayed that a line driver circuit loads a suitable line based on a decode key is enciphered.

In the 3rd example of this invention, both the sequence of the pixel in a line and line sequence are enciphered, and both a line decoder and A decoder load LCD Rhine for every Rhine based on a cryptographic key.

In the 4th example of this invention, encryption is carried out real A so that temporary artifact generated by changing line sequence may be controlled. This is attained by dividing each frame of a video signal into two or more division parts. Each division part has the enciphered sequence and the time order foreword of a display of these division part controls.

Other purposes and operation effectiveness of this invention are in \*\*, and are made into \*\* also from a specification.

Therefore, the range of this invention is indicated to a claim including all the matters proved by the following detailed indications in the requirements for a configuration which suited so that this invention might make these processes the mutual relevance between some processes and these processes, and a list real A, the combination of a component and the equipment using arrangement of a member, and a list.

In order to deepen an understanding of this invention further, this invention is explained to a detail with reference to an accompanying drawing. Here Drawing 1 shows a typical MPEG display system. Drawing 2 shows the typical MPEG display system which has encryption. drawing 3 shows the configuration which makes a signal clear in an MPEG skim. Drawing 4 is the diagram of the liquid crystal display by this invention. a-5d of drawing 5 shows the suitable good example of this invention by which the video sequence was divided into two or more sections. drawing 6 a - 6c — this [ of the section about each frame / time-sharing ] — being shown — the condition diagram and table of the allocation \*\*\*\* transition about a display showing drawing 7 a and 7b in drawing 5 c — being shown — Drawing 8 shows the flow of the video data based on this invention in a television set.

As mentioned above, the example of LCD shown in drawing 4 memorizes pixel data to a driver circuit 17. In the conventional technique, the A driver circuit 17 contains the memory device of a large number corresponding to the number of the active pixels on a predetermined active line (line). The pixel data about predetermined Rhine (line) are transmitted to an array 10 by Rhine sequential under control of the line driver circuit 15. The line driver circuit 15 carries out the address of the pixel line of an array 10 about desired Rhine. The pixel data memorized in the A driver circuit 17 are transmitted to an array 10 for every Rhine. A Starting of LCD breaks by the bias for every Rhine which carries out sequential generating of the field (frame) of video information. all the timing about this system — the basis of control of timing-cum-the control circuit 16 — A — obtaining — \*\* the store to an array — "write-in" processing — it can call — read-out from an array — "read-out" processing — corresponding — these both — the bias for every Rhine — A — obtaining — \*\* Timing-cum-the control circuit 16 supplies a suitable write-in enable signal and a read-out enable signal.

In a LCD system, it is necessary to write pixel data in the display array 10 by the bias for every Rhine. Therefore, although pixel data are enciphered all over Rhine and an insurance student's level is maintained in order to prevent making a signal clear in the 1st example of this invention, it is necessary to input the enciphered video pixel data as a group who contains at least one line in LCD.

In the 2nd example of this invention, instead of carrying out sequential starting of Rhine to 1-480, encryption A is about two or more Rhine of DEBIO, these Rhine A is in order of 10, 400, 2, 276, and .... in random sequence, and the level of still higher safety is obtained. In order to avoid temporary artifact, the limit which should be imposed about encryption of this form exists.

Predetermined Rhine started about Frame n should not be started about the frame n+1 from the

time amount period which is sharply separated from this frame period. If it puts in another way, when Rhine 251 will be started by the last of Frame n, this Rhine should not be started to the beginning of a frame n+1, otherwise temporary artifact may produce it. encryption can be A obtained only in the boundary defined beforehand, and the possibility of temporary artifact can make it min by things by random encryption in the source of a signal for every permitted Rhine. This constraint guarantees the longest period and the shortest period which can start predetermined Rhine for every frame. Drawing 5 train - 5D shows control of such encryption. The drawing 5 train shows a typical display. Drawing 5 B and 5C show the suitable example of this invention which divided the display into the section train and the boundary which is shown by B and C, and which was defined beforehand. Each section has a related time order foreword. In this example, a section train is scanned first and (1) and Section B are scanned by the 2nd (2), (3 by which Section C is scanned continuously at the end). In Section C, Section B contains [ a hypothetical section train ] the pixel lines 11, 12, 13, 14, and 15 including the pixel lines 6, 7, 8, 9, and 10 including the pixel lines 1, 2, 3, 4, and 5. Separation of Rhine to two or more of these sections A is theoretically in an encoder (transmitting side), and LCD predicts reception of this transmission. This is practical about a configuration like an electronic cinema (Electronic Cinema). In the 1st example ( drawing 5 C and 5D) of this invention, the time order foreword of a section is fixed, for example, the line of a section train is started to the 1st, and Section B is started to the 2nd and starts Section C to the 3rd. The line in each section is protected from the user who is not permitted rather than the case where there is almost no temporary artifact with a possibility that it may be enciphered, only the pixel in a line may be enciphered and it may be generated much more certainly. Therefore, a section train can be enciphered by changing a series of Rhine of a section train. For example, about a frame 3, it can transmit in the time amount sequence lines 5, 3, 1, 2, and 4, and a section train can make a time order foreword Rhine 2, 3, 4, 1, and 5 in a frame 8.

In another suitable example of this invention, still higher random nature is permitted and still higher safety is secured. in this example, a section train, and B and C only move one section at a stretch -- a predetermined frame -- this [ "exchange" time-sharing ] -- A -- obtaining -- \*\* About this example, drawing 6 A - 6C is referred to. Drawing 6 A shows this [ about each frame / time-sharing ]. The time order foreword which displays these division parts like [ it is \*\*\*\*\* and ] does not change from this drawing, but a section train is displayed on the 1st about each frame, and Section B is displayed on the 2nd and displays Section C on the 3rd. Drawing 6 B shows this [ of the section about each frame in case this / of a section / "exchange" time-sharing / is permitted / time-sharing ] by moving at a stretch in a certain section. In this case, when Section C appears in the 3rd with a frame 1, this section C appears in not the 1st but the 3rd, or the 2nd in a frame 2. Similarly, when a section train appears in the 1st in a frame 2, a section train appears in not the 3rd but the 1st, or the 2nd in a frame 3. Therefore, not all frame periods leave the rate of temporary updating about a predetermined section 1/3 or more.

Drawing 7 shows the condition diagram of the transition permitted. In this invention, a pixel does not occur in order of a time order foreword. This reason is that these data serve as the sequence that the time order foreword of a pixel was enciphered as it is enciphered and these data are outputted from a video decoder. Although the enciphered sequence appears at random, it is accompanied by the "key" of a certain form. It is the image with which, as for this, the "scramble" of the pixel by which it is not made a right line or the sequential sequence of a train was carried out with the time order foreword pattern of data, as for this pattern, and data are the sequence of Rhine at an array, and when transmitted in order of a pixel, this image appears as an image "scrambled." In this case, pixel data are memorized in a location random to the array of a memory device. For example, when the 1st pixel location is specified as (0, 0) of zero A0 line, it is loaded about the location of the sequence as which the 1st line (4 1) of the 4th A was enciphered. When a key is known, when data are loaded to the memory device of an array 16, it can decode by the train and the line driver circuits 15 and 17, and then the display according to individual is supplied, and it is displayed appropriately.

If return and Sections A, B, and C shall be displayed on drawing 4 in order of the time amount same about each frame ( drawing 5 A-D), it receives, 1st Rhine 1, for example, the line, by which

the register in A driver store 17 (not shown) was decoded about the section train from the video-processing circuit 18, and when only the pixel in this line is decoded, the time order foreword of the line within a section train will continue. A register supplies the video data decoded to the train driver circuit 17 based on the decoded key. The train driver circuit 17 starts this A of an array 10, and the line driver circuit 15 starts a line 1. When the sequence enciphered about the line 1 is pixels 13, 12, 15, 14, and 11, the store or register (not shown) of a train driver circuit receives and decodes the enciphered video line, and supplies it to the A driver circuit 17. Next, the pixel information on train driver circuit \*\* is directly supplied to a display in suitable sequence 11, 12, 13, 14, and 15. The example of such a register or a store contains the memory which has the register loaded to nonstop in the train driver circuit 17 based on a cryptographic key, or the address line accessed by the train driver circuit 17 based on the decode key. When it is the time order foreword as which the line was enciphered, the line driver circuit 15 starts a suitable line based on a decode key, before the train driver circuit 17 starts loading. In this case, when this line is started in order of 5, 3, 1, 2, and 4 instead of the sequence of 1, 2, 3, 4, and 5, the line driver circuit 15 receives a decode key, and it starts this line in order of 5, 3, 1, 2, and 4 instead of carrying out sequential starting of this line.

Since LCD displays a pixel for every Rhine, as long as it decodes before the pixel in Rhine is displayed with the constraint which restricts temporary artifact, it is not necessary to indicate Rhine by sequential.

Drawing 8 shows the BITEO data style by this invention in a television set. The video encoder 30 supplies and encodes and then a video signal is supplied to the encryption machine 32. The video signal enciphered and encoded is supplied to a receiver 35 through a send channel with a transmitter 34. A receiver 35 supplies the video signal enciphered and encoded to the video decoder 36. Although this video signal is decoded by the video decoder, when a LCD display is supplied, it is in the still enciphered gestalt. It is prevented that decode A Breaks within an indicating equipment, therefore a signal is made clear by the video outlet jack.

As carried out for whether being \*\* from the explanation mentioned above, it is in \*\*\*\*\* by which the above-mentioned purpose is attained, and various modification is possible, without deviating from the pneuma and the range of this invention, in case the configuration which enforced and mentioned above the approach mentioned above is carried out, and no matters included in the explanation and the accompanying drawing which were mentioned above are limited to these, but it is contained in the range of this invention.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号  
特表2000-507069  
(P2000-507069A)

(43) 公表日 平成12年6月6日 (2000. 6. 6)

(51) Int.Cl.<sup>7</sup>  
H 0 4 N 7/167

識別記号

F I  
H 0 4 N 7/167

テーマコード\* (参考)  
Z

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

(21) 出願番号 特願平10-527489  
(86) (22) 出願日 平成9年12月8日 (1997. 12. 8)  
(85) 翻訳文提出日 平成10年8月18日 (1998. 8. 18)  
(86) 国際出願番号 PCT/IB97/01534  
(87) 国際公開番号 WO98/27731  
(87) 国際公開日 平成10年6月25日 (1998. 6. 25)  
(31) 優先権主張番号 08/768, 492  
(32) 優先日 平成8年12月18日 (1996. 12. 18)  
(33) 優先権主張国 米国 (US)  
(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), J P

(71) 出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
オランダ国 5621 ベーアー アイन्दーフエン フルーネヴァウツウェッハ 1  
(72) 発明者 キャヴァレラーノ アラン  
オランダ国 5656 アーアー アイन्दーフエン プロフ ホルストラーン 6  
(72) 発明者 バシル カルロ  
オランダ国 5656 アーアー アイन्दーフエン プロフ ホルストラーン 6  
(72) 発明者 ゴールデンベルク ジル フォーラー  
オランダ国 5656 アーアー アイन्दーフエン プロフ ホルストラーン 6  
(74) 代理人 弁理士 杉村 暁秀 (外5名)

(54) 【発明の名称】 信号が自由にされことなく制御されたアクセスビデオ信号を供給する方法及び装置

(57) 【要約】

暗号化されたビデオデータを受信し、表示装置により受信される前に信号が自由にされないようにビデオデータを解読するLCD表示装置。このビデオデータはビデオの行内で暗号化され、表示装置において解読される。或いは、行は、各行の表示の時間順序により変更することにより暗号化される。

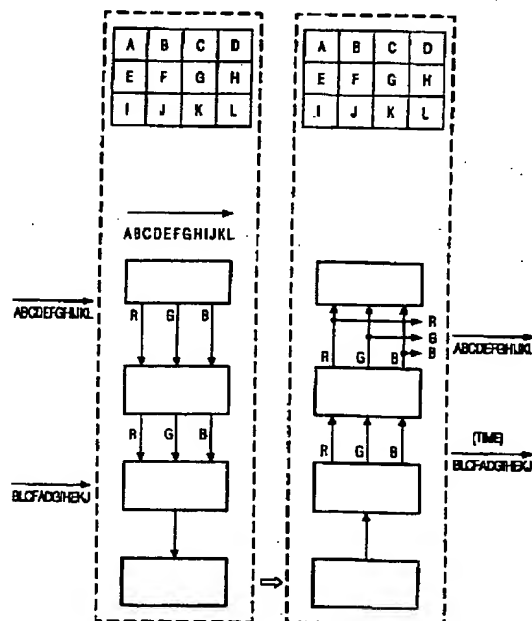


FIG. 2



**【特許請求の範囲】**

1. 暗号化されたビデオ画素データを解読及び表示する表示装置であって、

前記解読されたビデオ画素データをフレームとして表示する  $p$  列 1 行の画素セルのアレイと、

$p$  列 1 行のメモリ素子であって、各メモリ素子が個々の画素セルと関連し、フレーム期間中に個々の画素セルの輝度を表す解読されたビデオデータのデジタルコードを記憶する  $p \times A$  1 行のメモリ素子と、

前記暗号化されたビデオ画素データのデジタルコードのフレームの少なくとも一部を、列及び行の順次の順序ではなく暗号化された順序で記憶するレジスタと、

前記メモリ素子のアレイの  $A$  及び行を起動し、これらメモリ素子に前記レジスタに記憶したデジタルコードを供給するドライバ回路と、

1) 解読キーを受信し、2) 前記ドライバ回路が前記レジスタから解読されたデジタルコードのラインを受信し前記メモリ素子のアレイの列を起動するように前記解読キーを前記レジスタに供給し、3) 前記ドライバ回路がメモリ素子のアレイを、解読キーに基づいて順番でなく一度に 1 個の行を起動するように前記解読キーを前記ドライバ回路に供給する解読器とを具える表示装置。

2. 請求項 1 に記載の表示装置において、表示装置を液晶表示装置とした表示装置。

3. 前記ドライバ回路にタイミングパルスを供給してメモリ素子のアレイの行及び  $A$  を起動するタイミング回路をさらに具える請求項 1 に記載の表示装置。

4. 請求項 1 に記載の表示装置において、前記デジタルコード自身が各画素毎に暗号化され、解読キーがドライバ回路に供給される前にレジスタからのデジタルコードを解読する表示装置。

5. 請求項 1 に記載の表示装置において、前記レジスタが、解読キーに基づいてデジタルコードのラインを解読するように構成され、

前記ドライバ回路が、レジスタからの解読されたデジタルコードを受信するように構成されていることを特徴とする表示装置。

6. 請求項5に記載の表示装置において、前記行及び列を起動するドライバ回路のタイミングがタイミング回路により与えられる表示装置。

7. 暗号化されたビデオデータの各フレームが予め定めた分割部分として受信され、各分割部分内の行は順番で表示せず、分割部分は順番で表示することを特徴とする請求項1に記載の表示装置。

8. 請求項7に記載の表示装置において、前記分割部分を順番でなく表示する表示装置。

9. 請求項8に記載の表示装置において、前記分割部分を、一時的なアーチファクトを最小にするフレーム対フレームの時間順序で順番でなく表示する表示装置。

10. 請求項9に記載の表示装置において、第1の分割部分があるフレームに次のフレームに表示される順序とは異なる時間順序で表示され、各フレームの第1の分割部分の表示間のタイミングがフレーム期間から大幅に変位していない表示装置。

11. 請求項1から6までのいずれか1項に記載の表示装置を具えるテレビジョン受信機。

12. 暗号化されたビデオ画素データを解読し表示するに当たり、

p列1行の画素セルのアレイに1フレームとして解読され表示されるべき各画素についてのデジタルコードを含む暗号化されたビデオ画素データを受信する工程と、

前記暗号化されたビデオ画素データのデジタルコードの少なくとも一部をレジスタに記憶し、暗号化されたビデオデータを列又は行の順番でなく暗号化された順序でレジスタに記憶する工程と、

暗号化されたビデオデータを解読キーに基づいて解読し、解読されたビデオデータをドライバ回路に供給する工程と、

ドライバ回路からの解読されたビデオ画素データを、各メモリ素子が個々の画素セルと関連し、フレーム期間中に個々の画素セルの輝度を表す解読されたビデオ画素データのデジタルコードを記憶するp列1行のメモリ素子を有するメモリ素子のアレイに供給する工程とを具え、

前記解読されたビデオデータを供給する工程が、前記メモリ素子のアレイをAを起動してドライバ回路からの分類されたデジタルコードをメモリ素子に供給し、メモリ素子のアレイを解読キーに基づいて順番でなく一度に1個の行を起動する暗号化されたビデオ画素データを解読し表示する方法。

13. 暗号化されたビデオ画素データを解読し表示するに当たり、

p列1行の画素セルのアレイに解読され表示されるべき暗号化されたビデオデータを受信する工程と、

列順次の順序ではなくn個の暗号化された順序でデジタル画素データの1フレームの1ラインをレジスタに記憶する工程と、

暗号化されたビデオデータを解読キーに基づいて解読し、解読されたビデオデータをドライバ回路に供給する工程と、

ドライバ回路からの解読されたビデオ画素データを、各メモリ素子が個々の画素セルと関連し、フレーム期間中に個々の画素セルの輝度を表す解読されたビデオ画素データのデジタルコードを記憶するpA1行のメモリ素子を有するメモリ素子のアレイに供給する工程とを具え、

前記解読されたビデオデータを供給する工程が、ドライバ回路からの分類されたデジタルコードを用いて前記メモリ素子のアレイの列を起動し、デジタルコードの各ラインについて一度に1個の行を順番に起動する暗号化されたビデオ画素データを解読し表示する方法。

14. LCDに表示するビデオ画素データを暗号化するに際し、

ビデオ画素データを、各々が複数の画素データの行を有する複数の予め定めた分割部分に分割する工程と、

分割部分内の行の表示の順序を、分割部分の時間順序ではなく変更することにより前記行を暗号化する工程と、

暗号化されたビデオ画素データをLCDに供給する工程とを具えるLCDに表示するビデオ画素データを暗号化する方法。

15. 請求項14に記載の方法において、前記分割部分の時間順序が、一時的なアーチファクトを最小にする時間順序に基づき順番でなくLCDにより表示されるように変更される方法。

**【発明の詳細な説明】**

信号が自由にされることなく制御されたアクセスビデオ信号を  
供給する方法及び装置

**1. 発明の分野**

本発明は、一般的には表示装置、特に表示装置において信号が自由にされるのを阻止するスクランブリング装置及び暗号化装置並びにその方法に関するものである。

**2. 従来技術の説明**

ビデオの無断複写を防止するため、ビデオはその提供者によりスクランブルされすなわち暗号化され無許可で見ることから保護されている。用語「スクランブリング」は、一般に適当な解読処理を行わない通常の状態では表示されないようにアナログ信号を変更することを意味する。スクランブリング技術の例は、限定されるものではないが、同期抑制、アクティブラインの回転及びラインシャフリングを含む。用語「暗号化」は、擬似ランダムシーケンスにより多重化することによりデジタルシーケンスを変更する処理を表わすために一般的に用いられている。オリジナルの信号を再生するため、「キー」が必要である。ここで、ソースS（左側）はラスタ順序（RSS）で走査され図示の時間順序を与える。ソースS（例えば、カメラ）はRGB信号をMPEGエンコーダ（MPEGENC）に供給し、このエンコーダはMPEG送信機（MPEGTR）に結合する。

表示装置D（右側）は、MPEGデコーダ（MPEGDEC）に結合したMPEG受信機（MPEGREC）の信号を受信する。MPEGデコーダは表示装置DにRGB信号を同一の時間順次（T）で供給し、情報を同一のラスタ順序（RSS）で表示する。この技術の例は、Data Encryption Standard（DES）である。

暗号化しない典型的な表示システムの一例を図1に示す。暗号化する典型的なMPEG表示システムの一例を図2に示し、このシステムにおいて暗号化された順序「BLCF列DG IHEK J」が発生する。ここで、ソースS（左側）もラ

スタ順序（RSS）で走査され、図示の時間順序を与える。ソースS（例えば、

カメラ)はRGB信号を暗号化ユニット(ENCR)に供給し、このユニットはRGB信号をMPEGエンコーダ(MPEGENC)に暗号化された形態で時間順序(T)で供給する。MPEGエンコーダはMPEG送信機(MPEGTR)に結合する。

MPEG受信機(MPEGREC)はMPEG送信機からの信号を受信し、このMPEG受信機にはMPEGデコーダ(MPEGDEC)を結合する。RGB信号は時間順次(T)で暗号化されている。

MPEGデコーダには解読ユニット(DECR)が結合される。

解読ユニットはRGB信号をオリジナルの時間順序(DECRRECT)で受信機(R)の表示装置(D)に供給する。

ビデオ信号は、適当な許可がない場合使用不能な態様にスクランブルされ又は暗号化されている。一方、消費者の家屋に許可が与えられると、ケーブルコンバータボックス又は受信機の「ビデオ出力」ジャックにおいてビデオ信号がスクランブル解除又は解読され、従って自由にされる(図3参照)。この図において、ソースビデオ(SV)がエンコーダ(ENC)に供給され、このエンコーダには暗号化ユニット(ENCR)が結合されている。暗号化ユニットは暗号化された信号を送信機(TR)に供給する。送信チャネルを介して(TRCHOは受信機入力部(RI)に供給される信号である)、受信機入力部は復調器(DEM)に結合されている。復調の後、この信号は解読ユニット(DECR)において解読され、出力ポート(OP)に供給される。前述したように、この段階でビデオ信号(VS)が自由にされる。出力ポートは表示装置(D)を有するモニタ(M)及びビデオレコーダ(VCR)に結合される。今日多くの型式の表示装置が利用されている。一般的に周知の陰極線管表示装置(CRT)、及びデジタル光変調器又は変形可能なミラー空間光変調器(DMD)、液晶ディスプレイ(LCD)及びプラズマディスプレイのような個別の表示装置がある。これらディスプレイの各々は、許可を受けていないユーザがケーブルコンバータボックス又はテレビジョン受信機の「ビデオ出力」ジャックの出力からビデオを自由に記録することに関する問題がある。尚、説明を容易にするため、LCDの操作について説明

することにする。

液晶表示装置は、行及び列に配行した液晶の絵素（「画素」）を含む。LCD表示システムにおいて、表示装置は一般的に用いられているマトリクスアドレススキムにより「行」バイアスすなわちラインバイアスにより照明される。つまり、ある特定された行が照明され、次に別の行が照明され、フレーム全体が形成される。例えば、特定のフィリップスLCD表示装置において、 $480A \times 480$ 行の有効な画素が存在する。所定の行について必要な480個の画素に信号を供給するため、列ドライバが必要である。この場合、480個の行が順次起動されて1個の画像（又はフレーム）が発生する。

図4はLCD表示装置のブロック線図を示す。図4を参照するに、この表示装置は例えばテレビジョン画像のようなビデオを表示するように構成され、アクティブマトリクス液晶カラー表示パネル10を含んでいる。パネル10は2個の例えばガラスの離間した透明で絶縁性の支持プレートを具え、これらプレート間に振れネマティック液晶が配置され、さらにパネル10は行及びA状に配置されたスイッチング素子及びメモリ素子（例えば、キャパシタ）と関連する多数の液晶画素を有し、これらスイッチ素子及びメモリ素子は交差アドレス導体の第1及び第2の組を介してアドレスされ、各画素は各組のアドレス導体にそれぞれ接続されている。第1の組は行方向に延在する行アドレス導体を有する。第2の組の導体はA方向に延在し、以後列アドレス導体と称することにする。各列アドレス導体には各行の画素をそれぞれ接続する。既知のアクティブマトリクス液晶表示装置において、行アドレス導体は走査電極として作用し、シフトレジスタ回路を具える行ドライバ回路15により制御され、行ドライバ回路は各行アドレス期間中に各行導体に選択信号を順次供給する。タイミング兼制御回路16により行われる選択信号と同期して、直行ー並行変換によってTVラインをサンプリングすることにより得られるデータ（ビデオ）信号は、ビデオ処理回路18の出力部に接続したAドライバ回路からAアドレス導体に供給され、走査されるにしたがって画素行から必要な表示効果が発生する。従って、単一ラインのビデオ情報はAドライバ回路17に供給され、行ドライバ回路15によりアドレスされた行に応じてこの行にビデオ情報が供給される。1度に1個の行がアドレスされる個々

の表示効果は結合されて1個のフィールドの画像全体が構成され、画素は順次のフィールドにおいて再びアドレスされる。このアレイ10への順次ローディング情報供給により信号が自由にされ、容易に無断複写がAわれてしまう。

本発明の目的は、LCD表示装置において信号が自由にされるのを阻止することにある。

本発明の別の目的は、LCD表示装置を大幅に変更することなく信号が自由にされるのを阻止することにある。

本発明のさらに別の目的は、一時的なアーチファクトを最小にして信号が自由にされるのを阻止することにある。

これらの及び他の目的は、メモリ素子に画素データを供給する際順番に従った順序で画素データを供給する必要があるという認識に基づいている。その代わりに、メモリ素子には暗号化キーに基づいて暗号化された順序でデータを供給する。

これらの目的は、表示装置の1ライン又は1行中の画素データを暗号化してAドライバ回路のレジスタ又は他の記憶装置に配置し、これらの画素データを解読し、レジスタ又は他の記憶装置が解読キーに基づいて解読されたデータをAドライバ回路の適当な位置に配置する本発明による第1の実施例により達成される。

本発明の第2の実施例において、行ドライバ回路が解読キーに基づいて適当な行をロードするように表示すべき行の行順序又は時間順序を暗号化する。

本発明の第3の実施例において、行中の画素の順序及び行順序の両方を暗号化し、行デコーダ及びAデコーダの両方が暗号化キーに基づいてライン毎にLCDラインをロードする。

本発明の第4の実施例において、行順序を変えることにより発生する一時的なアーチファクトを抑制するように暗号化を実Aする。これは、ビデオ信号の各フレームを複数の分割部分に分割することにより達成される。各分割部分は暗号化された順序を有し、これら分割部分の表示の時間順序は制御する。

本発明の他の目的及び作用効果は明かであり、明細書からも明かにする。

従って、本発明は、数個の工程及びこれら工程間の相互関連性、並びにこれらの工程を実Aするように適合した構成要件、素子の組合せ、及び部材の配置を用

いる装置、並びに以下の詳細な開示で実証した全ての事項を含み、本発明の範囲

は請求の範囲に記載する。

本発明の理解を一層深めるため、添付図面を参照して本発明を詳細に説明する。  
ここで、

図1は典型的なMPEG表示システムを示し、

図2は暗号化を有する典型的なMPEG表示システムを示し、

図3はMPEGスキムにおいて信号を明瞭にする構成を示し、

図4は本発明による液晶表示装置の線図であり、

図5a～5dはビデオシーケンスが複数のセクションに分割された本発明の好適実施例を示し、

図6a～6cは各フレームについてのセクションの時間割当を示し、

図7a及び7bは図5cに示す表示についての割当られた遷移の状態線図及び表を示し、

図8はテレビジョン受信機における本発明によるビデオデータの流れを示す。

上述したように、図4に示すLCDの実施例は画素データをドライバ回路17に記憶する。従来技術において、Aドライバ回路17は所定のアクティブライン（行）上のアクティブ画素の数に対応した多数のメモリ素子を含む。所定のライン（行）についての画素データは、ラインドライバ回路15の制御のもとでライン順次でアレイ10に転送する。行ドライバ回路15は所望のラインについてアレイ10の画素行をアドレスする。Aドライバ回路17に記憶されている画素データはライン毎にアレイ10に転送する。LCDの起動は、ビデオ情報のフィールド（フレーム）を順次発生するライン毎のバイアスによりAわれる。このシステムについての全てのタイミングはタイミング兼制御回路16の制御のもとでAう。アレイへの書込は「書込」処理と称することができ、アレイからの読出は「読出」処理に対応し、これらの両方はライン毎のバイアスによりAう。タイミング兼制御回路16は適切な書込イネーブル信号及び読出イネーブル信号を供給する。

LCDシステムにおいて、画素データはライン毎のバイアスにより表示アレイ



10に書込む必要がある。従って、本発明の第1の実施例において信号を明瞭にするのを阻止するため、ライン中で画素データを暗号化して安全生のレベルを維

持するが、暗号化されたビデオ画素データをLCDに少なくとも1ラインを含むグループとして入力する必要がある。

本発明の第2の実施例において、例えばラインを1～480まで順次起動する代わりに、暗号化をビデオの複数のラインについてAい、これらのラインはランダムな順序で例えば10, 400, 2, 276, . . . . の順序でAい一層高い安全性のレベルが得られる。一時的なアーチファクトを回避するため、この型式の暗号化について課すべき制限が存在する。フレームnについて起動される所定のラインは、このフレーム期間から大幅に離れた時間期間からのフレームn+1について起動すべきではない。換言すれば、ライン251がフレームnの最後に起動される場合、このラインはフレームn+1の最初に起動すべきではなく、さもなければ一時的なアーチファクトが生ずる可能性がある。暗号化を予め定めた境界内だけでAうことにより、一時的なアーチファクトの可能性は、信号源での許容されたライン毎のランダムな暗号化により最小にすることができる。この制約は、所定のラインをフレーム毎に起動できる最長期間及び最短期間を保証する。図5列～5Dはこのような暗号化の制御を示す。図5列は典型的な表示装置を示す。図5B及び5Cは、表示装置をセクション列、B及びCで示す予め定めた境界に分割した本発明の好適実施例を示す。各セクションは関連する時間順序を有する。本例において、セクション列は最初に走査され(1)、セクションBは2番目に走査され(2)、続いてセクションCが最後に走査される(3)。仮定のセクション列は画素行1、2、3、4、5を含み、セクションBは画素行6、7、8、9、10を含み、セクションCは画素行11、12、13、14、15を含む。この複数のセクションへのラインの分離は、エンコーダ(送信側)において理論的にAい、LCDはこの送信の受信を予測する。これは、エレクトロニックシネマ(Electronic Cinema)のような構成については実際的なものである。本発明の第1の実施例(図5C及び5D)において、セクションの時間順序は固定し、例えばセクション列の行は第1に起動し、セクショ

ンBは2番目に起動し、セクションCは3番目に起動する。各セクション内の行は暗号化され、単に行内の画素だけが暗号化され生ずるおそれのある一時的なアーチファクトがほとんどない場合よりも許容されていない使用者から一層確実に保護

される。従って、セクション列は、セクション列の一連のラインを変更することにより暗号化することができる。例えば、フレーム3について、セクション列は時間順序行5、3、1、2、4で送信することができ、フレーム8において時間順序をライン2、3、4、1、5とすることができる。

本発明の別の好適実施例においては、一層高いランダム性を許容して一層高い安全性を確保する。本例では、セクション列、B及びCは、1個のセクションを一時に移動させることだけにより所定のフレームについて「交換」時間割当をAう。この実施例については図6A～6Cを参照する。図6Aは各フレームについての時間割当を示す。この図面から明かなように、これらの分割部分を表示する時間順序は変更せず、各フレームについてセクション列は第1番目に表示し、セクションBは2番目に表示し、セクションCは3番目に表示する。図6Bは、あるセクションを一時に移動することによりセクションの「交換」時間割当が許容される場合の各フレームについてのセクションの時間割当を示す。この場合、セクションCがフレーム1で3番目に現れた場合このセクションCはフレーム2において1番目ではなく3番目又は2番目に現れる。同様に、セクション列がフレーム2において1番目に現れた場合セクション列はフレーム3において3番目ではなく1番目又は2番目に現れる。従って、所定のセクションについての一時的な更新の割合は、全フレーム期間の1/3以上離れることはない。

図7は許容される遷移の状態線図を示す。本発明においては、画素が時間順序の順番で発生しない。この理由は、これらのデータは暗号化され、これらのデータがビデオデコーダから出力されるにしたがって画素の時間順序が暗号化された順序となるからである。暗号化された順序はランダムに現れるが、ある型式の「キー」を伴う。これは、データの時間順序パターンを伴い、このパターンは画素が正しい行又は列の順次順序にされていない「スクランブル」された画像であり

、データがアレイにラインの順序で且つ画素の順序で転送される場合この画像は「スクランブル」された画像として現れる。この場合、画素データはメモリ素子のアレイにランダムな位置に記憶される。例えば、第1の画素位置を0A0行の(0, 0)と指定すると、4番目のAの第1行(4, 1)が暗号化されたシーケンスのその位置についてロードされる。キーが既知の場合、データがアレイ16の

メモリ素子にロードされた際列及び行ドライバ回路15及び17により解読することができ、次に個別の表示装置に供給されて適切に表示される。

図4に戻り、セクションA、B及びCは各フレームについて同一の時間順序で表示されるものとする(図5A~D)、Aドライバ書込17内のレジスタ(図示せず)がビデオ処理回路18からセクション列について解読された第1のライン例えば行1を受信し、この行内の画素だけが解読された場合セクション列内の行の時間順序が続く。レジスタは、解読されたキーに基づいて列ドライバ回路17に解読したビデオデータを供給する。列ドライバ回路17はアレイ10のこのAを起動し、行ドライバ回路15は行1を起動する。行1についての暗号化された順序が画素13、12、15、14、11の場合、列ドライバ回路の記憶装置又はレジスタ(図示せず)は暗号化されたビデオラインを受信し解読してAドライバ回路17に供給する。次に、列ドライバ回路この画素情報を適切な順序11、12、13、14、15で表示装置に直接供給する。このようなレジスタ又は記憶装置の例は、暗号化キーに基づいて列ドライバ回路17に直行にロードするレジスタ、又は解読キーに基づいて列ドライバ回路17によりアクセスされたアドレスラインを有するメモリを含む。行が暗号化された時間順序の場合、行ドライバ回路15は列ドライバ回路17がローディングを開始する前に解読キーに基づいて適切な行を起動する。この場合、この行が1、2、3、4、5の順序ではなく5、3、1、2、4の順序で起動される場合行ドライバ回路15は解読キーを受信し、この行を順次起動する代わりにこの行を5、3、1、2、4の順序で起動する。

LCDはライン毎に画素を表示するので、一時的なアーチファクトを制限する

制約を伴いライン中の画素が表示される前に解読されるかぎりラインを順次表示する必要はない。

図 8 はテレビジョン受信機における本発明によるビデオデータ流を示す。ビデオ信号はビデオエンコーダ 30 に供給されて符号化され、次に暗号化器 32 に供給する。暗号化及び符号化されたビデオ信号は送信機 34 により送信チャネルを経て受信機 35 に供給する。受信機 35 は暗号化及び符号化されたビデオ信号をビデオデコーダ 36 に供給する。このビデオ信号はビデオデコーダによりデコー

ドされるが、LCD 表示装置に供給された際依然として暗号化された形態にある。解読は表示装置内で A われ、従ってビデオ出力ジャックで信号が明瞭にされるのが阻止される。

上述した説明から明かにされたように上記目的が達成されること明かであり、上述した方法を実施及び上述した構成を実施する際本発明の精神及び範囲から逸脱することなく種々の変更が可能であり、上述した説明及び添付図面に含まれる全ての事項はこれらに限定されず本発明の範囲に含まれるものである。

【図 1】

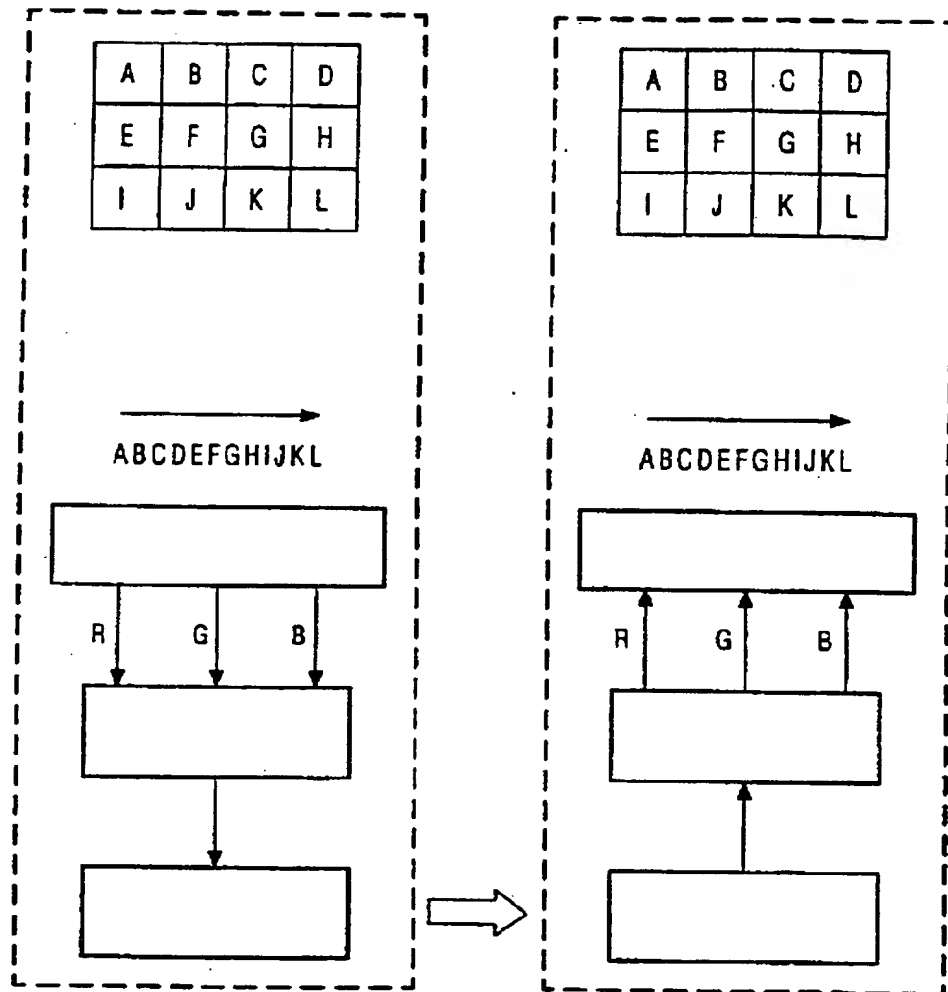


FIG. 1

【図 2】

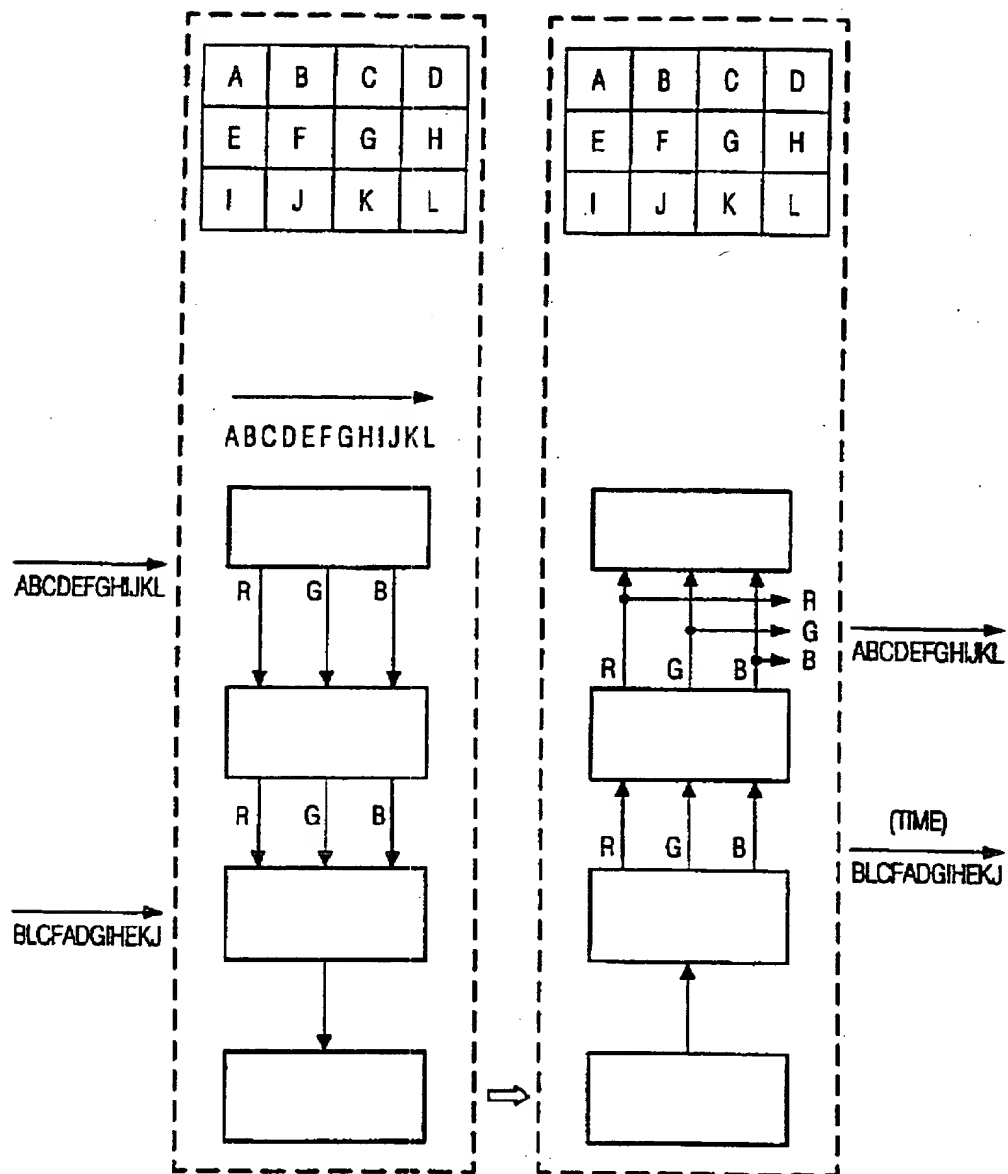


FIG. 2

【図 3】

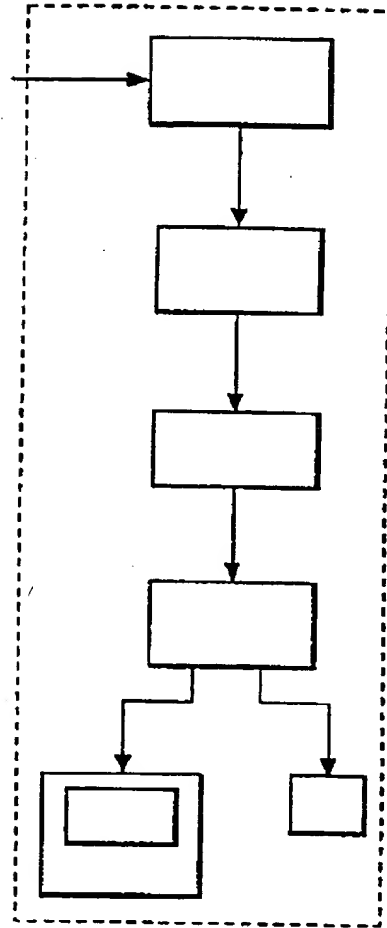
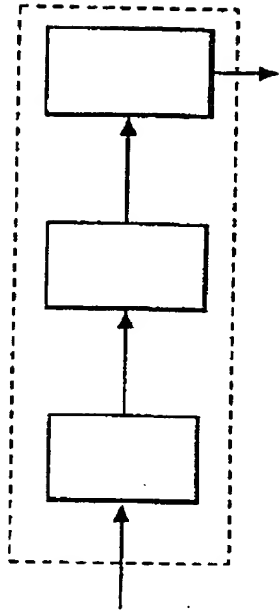


FIG. 3

【図 4】

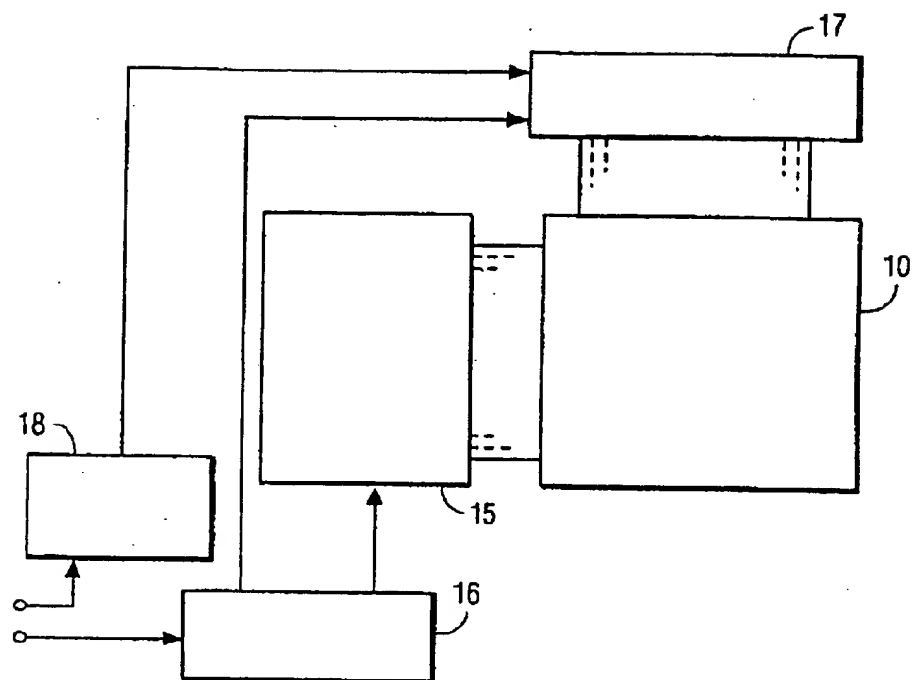


FIG. 4



【図 5】

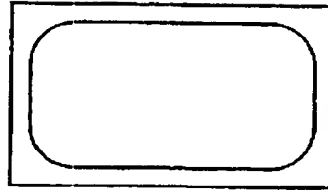


FIG. 5A

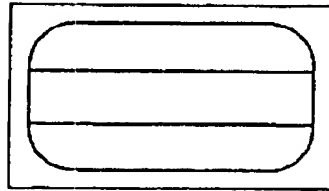


FIG. 5B

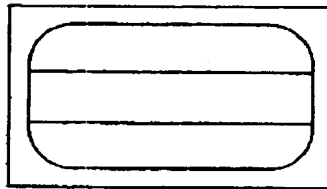


FIG. 5C

A	1	1	1	1	1	1	1	1
B	2	2	2	2	2	2	2	2
C	3	3	3	3	3	3	3	3

...



FIG. 5D

【図 6】

A	1	1	1	1	1	1	1	1	
B	2	2	2	2	2	2	2	2	...
C	3	3	3	3	3	3	3	3	



FIG. 6A

A	1	1	2	2	3	3	1	3	
B	2	3	1	3	1	2	2	2	
C	3	2	3	1	2	1	3	1	



FIG. 6B

A	1	1	2	3	3	2	1	2	
B	2	3	3	2	1	1	2	1	...
C	3	2	1	1	2	3	3	3	



FIG. 6C

【図 7】

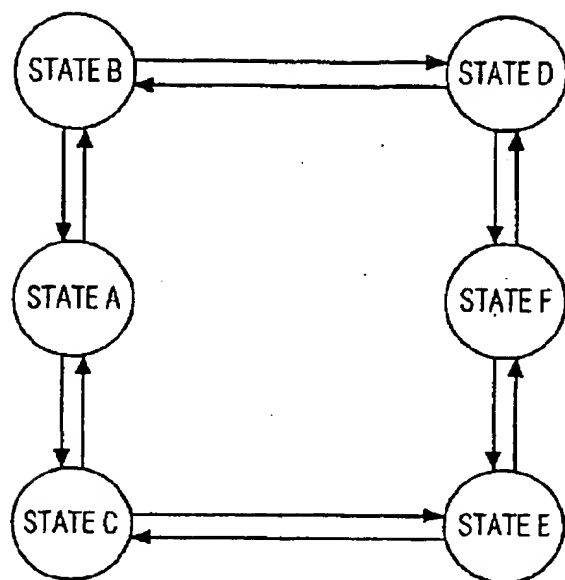


FIG. 7A

SECTION	STATE A	STATE B	STATE D	STATE F	STATE E	STATE C	STATE A	STATE C
A	1	1	2	3	3	2	1	2
B	2	3	3	2	1	1	2	1
C	3	2	1	1	2	3	3	3
	FRAME 1	FRAME 2	FRAME 3	FRAME 4	FRAME 5	FRAME 6	FRAME 7	FRAME 8

...


  
 FRAME TIME

FIG. 7B

【図 8】

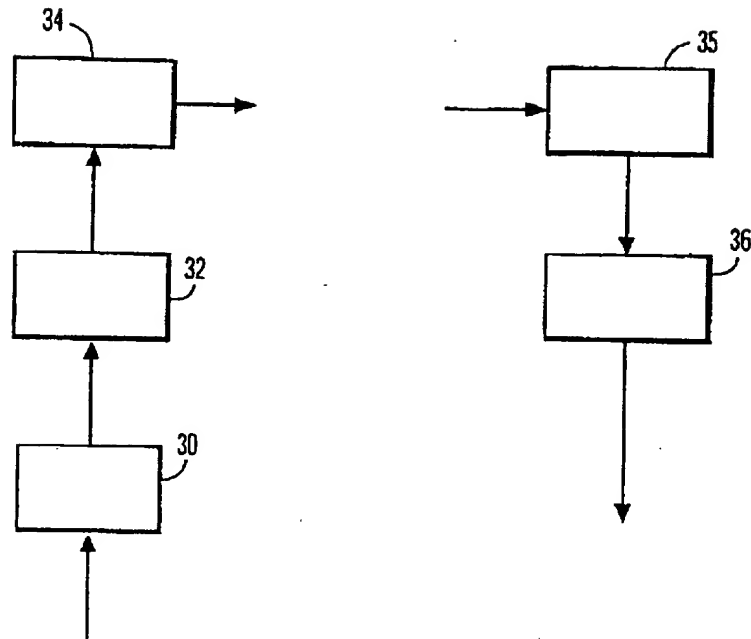


FIG. 8

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 97/01534

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC6: H04N 7/167 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5001754 A (KENNETH S. DEFFEYES), 19 March 1991 (19.03.91), abstract --	1-15
A	US 4673975 A (MASAO INABA ET AL), 16 June 1987 (16.06.87), abstract --	1-15
A	GB 2249689 A (RANK INTELL LIMITED), 13 May 1992 (13.05.92), abstract --	1-15
A	US 4910772 A (YOSSI MATIAS ET AL), 20 March 1990 (20.03.90), abstract --	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *B* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *&* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
17 June 1998		24 -06- 1998
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Rune Bengtsson Telephone No. +46 8 782 25 00

## INTERNATIONAL SEARCH REPORT

Internationnal application No.

PCT/IB 97/01534

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5079544 A (THOMAS W. DEMOND ET AL). 7 January 1992 (07.01.92), abstract  -- -----	1-15

## INTERNATIONAL SEARCH REPORT

Information on patent family members

09/06/98

International application No.

PCT/IB 97/01534

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5001754 A	19/03/91	NONE	
US 4673975 A	16/06/87	JP 60102074 A	06/06/85
GB 2249689 A	13/05/92	NONE	
US 4910772 A	20/03/90	AU 2067188 A	16/02/89
		EP 0304217 A	22/02/89
		JP 1157686 A	20/06/89
		US 5058158 A	15/10/91
US 5079544 A	07/01/92	DE 69019055 D,T	07/12/95
		EP 0391529 A,B	10/10/90
		EP 0635986 A	25/01/95
		JP 3040693 A	21/02/91